

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年7月21日 (21.07.2005)

PCT

(10) 国際公開番号
WO 2005/066796 A1

(51) 国際特許分類⁷: G06F 12/08, 12/12
 (21) 国際出願番号: PCT/JP2004/019102
 (22) 国際出願日: 2004年12月21日 (21.12.2004)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ:
 特願 2003-424042
 2003年12月22日 (22.12.2003) JP

(72) 発明者; および
 (75) 発明者/出願人 (米国についてのみ): 中西 龍太 (NAKANISHI, Ryuta). 岡林 はづき (OKABAYASHI, Hazuki). 田中 哲也 (TANAKA, Tetsuya). 宮阪 修二 (MIYASAKA, Shuji).

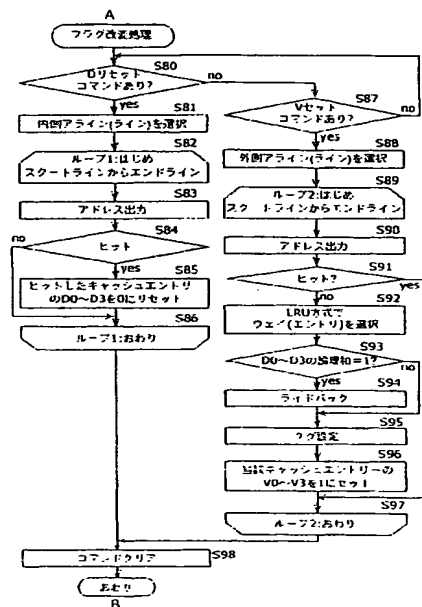
(74) 代理人: 新居 広守 (NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島3丁目11番26号 新大阪末広センタービル3F 新居国際特許事務所内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: CACHE MEMORY AND ITS CONTROLLING METHOD

(54) 発明の名称: キャッシュメモリ及びその制御方法



A FLAG ALTERING PROCESSING
 S80 D RESET COMMAND?
 S81 SELECT INSIDE ALIGN (LINE)
 S82 START LOOP 1
 FROM START LINE TO END LINE
 S83 OUTPUT ADDRESS
 S84 HIT
 S85 RESET D0 TO D3 OF HIT CACHE ENTRY AT 0
 S86 END LOOP 1
 S87 V SET COMMAND?
 S88 SELECT OUTSIDE ALIGN (LINE)

S89 START LOOP 2
 FROM START LINE TO END LINE
 S90 OUTPUT ADDRESS
 S91 HIT?
 S92 SELECT WAY (ENTRY) BY LRU METHOD
 S93 LOGICAL SUM OF D0 TO D3=1?
 S94 WRITE BACK
 S95 SET TAG
 S96 SET V0 TO V3 OF THE CACHE ENTRY AT 1
 S97 END LOOP 2
 S98 CLEAR COMMAND
 B END

(57) Abstract: A cache memory has a valid flag indicating whether a cache entry holding unit data on cache is valid or not correspondingly to the cache entry and a dirty flag indicating whether write for the cache entry is done or not. The cache memory comprises a flag altering section for setting a valid flag by creating the address of the cache entry as a tag without loading data from a memory according to the instruction from the processor or resetting the dirty flag while holding rewritten data not written back for the cache entry.

(57) 要約: 本発明のキャッシュメモリは、キャッシュの単位データを保持するキャッシュエントリに対応させて、当該キャッシュエントリが有効であるか否かを示すバリッドフラグと、当該キャッシュエントリに対する書き込みがなされたか否かを示すダーティフラグと有するキャッシュメモリであって、プロセッサからの指示に基づき、メモリからデータをロードすることなく、キャッシュエントリに対してタグとしてのアドレスを設定しバリッドフラグをセットし、あるいは、キャッシュエントリに対してライトバックされていない書き換えられたデータを保持している状態でダーティフラグをリセットするフラグ変更部を備える。

BEST AVAILABLE COPY

WO 2005/066796 A1